

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-209151

(43)公開日 平成10年(1998)8月7日

(51) Int.Cl.⁶

H 01 L 21/318
29/205
21/331
29/73
29/778

識別記号

F I

H 01 L 21/318
29/205
29/72
29/80

B
H

審査請求 有 請求項の数 3 OL (全 7 頁) 最終頁に続く

(21)出願番号

特願平9-7648

(22)出願日

平成9年(1997)1月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三好 陽介

東京都港区芝五丁目7番1号 日本電気株
式会社内

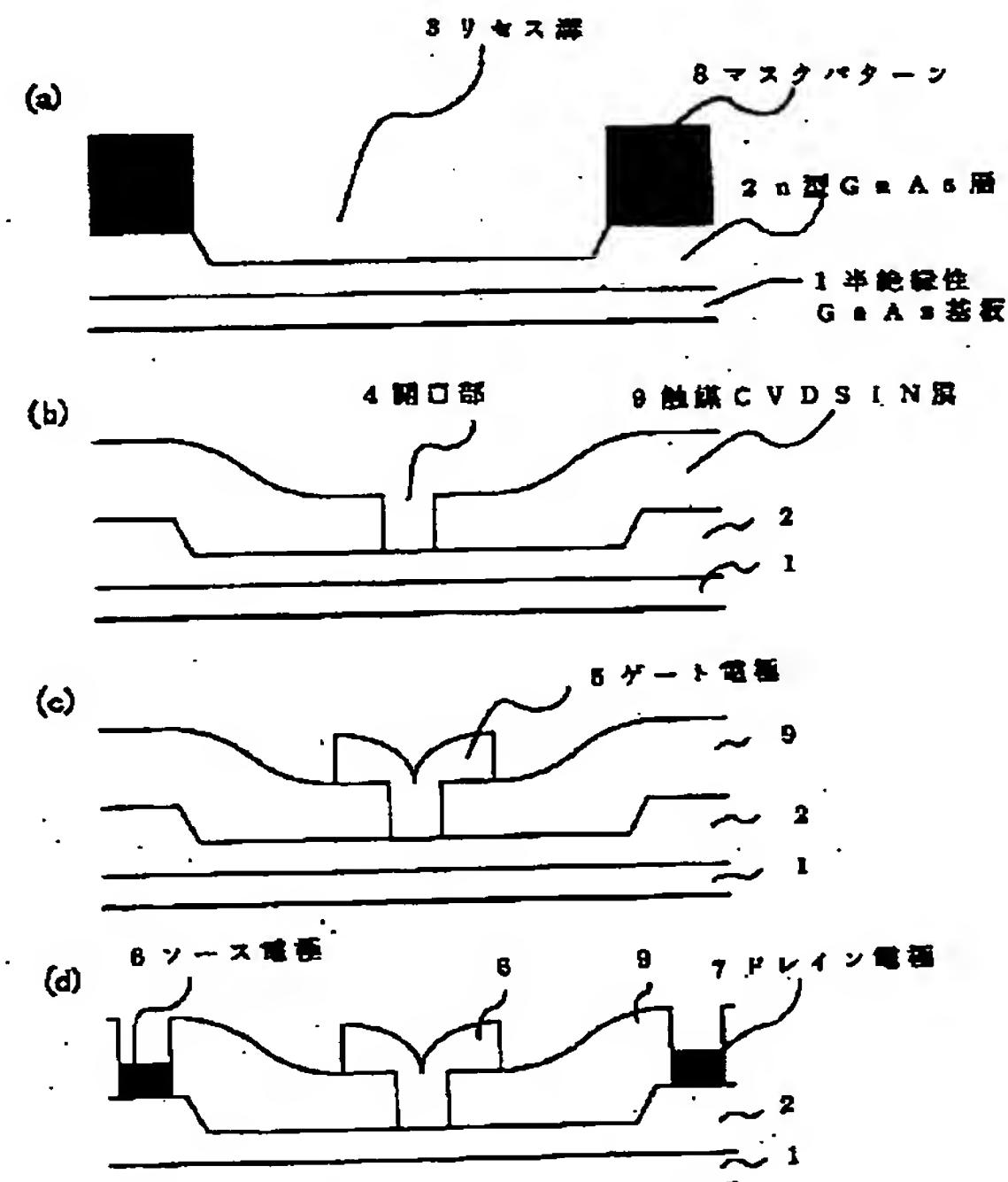
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 通電によるゲートリーク電流の増大や、Si N膜中の電荷トラップの充放電による耐圧の変動、ドレイン電流の減少といった素子特性劣化や、保護膜と半導体の界面に存在する界面準位に起因するゲートラグ、膜ストレスによるしきい値電圧の変動を改善する。

【解決手段】 ゲート電極5とドレイン電極7やソース電極6以外の半導体表面上の部分を覆うSi N膜9を触媒CVD法を用いて成膜する。プラズマCVD法により成膜した場合と比べてゲートリーク電流の増大や、プラズマダメージによるゲートラグが抑制される。また、Si N膜9中の水素濃度が低減されるため、耐圧の変動も抑制される。また、Si N膜9のストレスが従来のSi nより1/10程度に低減されるため、しきい値電圧の変動も低減される。



【特許請求の範囲】

【請求項1】電極以外の部分に露出した半導体上に高抵抗材料薄膜を有する半導体装置の製造方法であって、前記薄膜のうち半導体に接触している部分を触媒CVD法を用いて成膜することを特徴とする半導体装置の製造方法。

【請求項2】前記薄膜の成膜前に、半導体表面に活性化された水素を含むガスを吹き付けて表面をクリーニングすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記高抵抗材料薄膜のうち半導体に接触している部分に、酸素を含まない材料を成膜することを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、化合物半導体材料を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】ガリウムヒ素(GaAs)、インジウムリン(InP)などの化合物半導体材料は、シリコン(Si)に比べて電子の移動度が高いことから、これらの材料を用いたマイクロ波、ミリ波帯の高出力FETの研究開発が盛んに行われている。これらの化合物半導体高出力FETにおいて、通電に伴いドレイン電流が減少し、出力電力が低下してしまうことがある。これは、通電に伴い電気化学的反応による半導体表面の酸化が進行し、素子能動層が侵食されるためであり、シリコン窒化膜(SiN)を表面保護膜に用いることにより回避できることが報告されている(エレクトロニクス・レターズ)Electronics Letters, 第21巻、第3号、115頁~116頁、1985年)。図4は従来の高出力GaAsFETの製造方法を工程順に示す断面図である。図4には、MESFET(Metal-Semiconductor Field Effect Transistor)型のFETの製造方法を示している。

【0003】まず、図4(a)に示されるように、半絶縁性GaAs基板1上にフォトレジスト等のマスクパターン8が形成され、厚さ約300nmのn型GaAs層2の一部をエッチングしてリセス溝3が形成される。

【0004】次に図4(b)に示されるように、n型GaAs層2上の全面に厚さ約30nmのSiN膜20が例えばモノシラン(SiH₄)とアンモニア(NH₃)を原料ガスとして用いたプラズマCVD法により堆積され、これをフォトレジスト等をマスクとしたエッチングにより加工してSiN膜20に開口部4が形成される。

【0005】さらに、図4(c)に示されるように、基板1の全面にWSi等の金属膜がスパッタ法により成膜

され、これをフォトレジスト等をマスクとしたエッチングにより加工してゲート電極5が形成される。

【0006】その後、図4(d)に示されるように、SiN膜20の一部をフォトレジスト等をマスクとしたエッチングにより開口し、ソース電極6及びドレイン電極7がリフトオフ法により形成されることにより、図4(d)に示すような構造のMESFETが得られる。

【0007】また、化合物半導体を用いたヘテロ接合バイポーラトランジスタ(HBT)は、近年マイクロ波、あるいはミリ波帯の高出力電力増幅器への応用が期待されており、研究開発が盛んに行われている。このうち最も開発が進んでいるのは、エミッタトップ型のAlGaAs/GaAs HBTであり、メサ型の素子構造を有する。

【0008】このようなメサ型のHBTの高性能化のために素子の微細化を図ったときには、ベース電流のうちミッタメサのエッジ部分における再結合電流が占める割合が相対的に増大し、電流利得が低下するという、いわゆるエミッタサイズ効果が問題となる。

【0009】これを解決する手段の一つとして、エミッタメサ周囲に厚さ50nm程度の外部ベース保護層を設けるガードリング技術があり、例えば特開平4-286126号公報には、このような外部ベース保護層を有するHBTの製造方法が開示されている。

【0010】

【発明が解決しようとする課題】しかし、図4に示されるようなFETでは、表面保護膜の成膜にはプラズマCVD法が用いられており、成膜時にGaAs基板1の表面は、プラズマダメージを受ける。このため、ダメージを受けた部分では、GaとAsの結合が弱くなり、通電時にAsが離脱して、図5に示すようにゲート・ドレン間に低抵抗層10が形成される。このため、通電したときに、低抵抗層10によりゲートリーク電流が増大して耐圧の劣化を引き起こすという問題が発生する。

【0011】また、プラズマにより損傷を受けた半導体表面には電荷トラップが形成され、素子の高周波動作時に、これらの電荷トラップが素子動作周波数よりも遅い時定数をもって充放電することにより、高周波動作における実効的なドレイン電流が減少してしまう(ゲートラグ)という問題も発生する。

【0012】さらに、プラズマCVD法により成膜されたSiN膜20は、膜中に20~30atom%程度の水素を含むが、これらの未反応の水素に起因してSiN膜20中には電荷トラップが形成され、通電時に、これらのトラップが充放電することによる耐圧の変動も問題となる。

【0013】このほか、プラズマCVD法で成膜されたSiN膜20は、3×10⁹dyn/cm²程度の内部圧縮応力を持つため、SiNとGaAsの界面における応力により、GaAs基板内にはピエゾ電荷が発生し、短

ゲートFETしきい値電圧の変動要因になるという問題もある。

【0014】また、上述した化合物半導体を用いたヘテロ接合バイポーラトランジスタ(HBT)では、外部ベース保護層を精度よく形成するために、エミッタ層とベース層の間に狭バンドギャップ材料であるInGaAs層を挿入した形の結晶構造を用いねばならず、素子動作時にInGaAsに電子が蓄積してポテンシャルバリアが形成され、エミッタ電流の低下を引き起こすという問題がある。また、結晶構造が複雑なため、これらを積層する際の成長プロセスの複雑化、製造コストの上昇を招くという問題もある。

【0015】本発明の目的は、通電によるゲートリーク電流の増大や耐圧の変動、ドレン電流の減少といった素子特性劣化や、保護膜と半導体の界面に存在する界面準位に起因するゲートラグ、膜ストレスによるしきい値電圧の変動といった問題を改善し、さらに結晶構造の変更や複雑化を伴うことなく、簡便にエミッタサイズ効果の抑制されたメサ型の半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置の製造方法は、電極以外の部分に露出した半導体上に高抵抗材料薄膜を有する半導体装置の製造方法であって、前記薄膜のうち半導体に接觸している部分を触媒CVD法を用いて成膜する。

【0017】また前記薄膜の成膜前に、半導体表面に活性化された水素を含むガスを吹き付けて表面をクリーニングする。

【0018】また前記高抵抗材料薄膜のうち半導体に接觸している部分に、酸素を含まない材料を成膜する。

【0019】

【作用】触媒CVD法では、原料ガスは加熱した触媒体表面と接觸することにより、活性化される。活性化された原料ガスの反応は、熱CVDと同様である。触媒体温度の増減により、原料ガスの反応を半導体基板温度とは独立に制御できるため、熱CVDよりも低い基板温度にて熱CVDと同質の膜を得ることができる。

【0020】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】(実施形態1) 図1は、本発明の実施形態1を製造工程順に示す断面図である。図1には、MESFET (Metal-Semiconductor Field Effect Transistor) 型のFETの製造方法を示しているが、高電子移動度トランジスタ(HEMT)、ヘテロ構造FET(HFET)など他の結晶構造を有するFETや、絶縁ゲートFETなどのゲート電極構造の異なるFETの製造方法にも適用することが可能である。

【0022】本発明の実施形態1では、ゲート電極5とドレン電極7やソース電極6以外の半導体表面上の部分を覆う表面保護膜(具体的にはSiN膜)9を触媒CVD法を用いて成膜することを特徴とするものである。具体的に説明すると、まず図1(a)に示すように、半絶縁性GaAs基板1上にフォトレジスト等のマスクパターン8を形成し、n型GaAs層2の一部をエッチングしてリセス溝3を形成する。

【0023】次に図1(b)に示すように、n型GaAs層2上の全面に高抵抗膜9を触媒CVD法により堆積する。通電時の電気化学的反応によるGaAsの表面酸化の進行を防ぐためには、高抵抗膜9の成膜時にGaAsの表面が酸素に曝されないようにする必要があるため、高抵抗膜9としては、窒化シリコン(SiN)、窒化アルミニウム(AlN)など酸素を含まない材料が良いが、成膜後の加工の容易さや高抵抗膜の得やすさ等から、SiN膜が最適である。

【0024】図1(b)には、高抵抗膜9としてSiN膜を用いた場合を示している。SiN膜9に含まれるシリコンの原料ガスとしてはモノシラン(SiH₄)やジシラン(Si₂H₆)等を、また窒素の原料ガスには窒素ガス(N₂)やアンモニア(NH₃)を用いることができるが、これらの組み合わせのうち、SiH₄とNH₃の組み合わせは、反応効率が最も高く最適である。

【0025】この場合には、SiH₄に対するNH₃の流量比を50~200程度の範囲に設定したときに反応効率が高いが、最適条件は、流量比が100程度の場合である。成膜時の基板温度は、300°C~450°Cの範囲で設定するのがよい。これより低温の場合には、成膜レートが著しく低下する。また、これより高温の場合には、GaAs基板の表面からAsの脱離が生じて界面欠陥が増加する。

【0026】また、触媒体の温度は1300°C~1500°Cの範囲が良い。この温度範囲では、触媒体表面がシリサイド化することなく成膜を行うことができる。SiN膜9の厚さは、100nm~400nmの範囲が望ましい。次の工程でSiN膜9をエッチングして形成される開口部4の幅のばらつきが小さく、ゲート長の寸法制御性が良いためである。

【0027】以上の条件で成膜されたSiN膜20をフォトレジスト等をマスクとしたエッチングにより加工して、開口部4を形成する。

【0028】さらに、図1(c)に示すように、基板1の全面にWSi等の金属膜をスパッタ法により成膜し、これをフォトレジスト等をマスクとしたエッチングにより加工してゲート電極5を形成する。

【0029】その後、図1(d)に示すように、SiN膜9の一部をフォトレジスト等をマスクとしたエッチングにより開口し、ソース電極6およびドレン電極7をリフトオフ法により形成することにより、図1(d)に

示すような構造のMESFETを得る。

【0030】(実施例1) 次に、本発明の実施形態1の一実施例について図面を参照して詳細に説明する。

【0031】まず、図1(a)に半絶縁性GaAs基板1にフォトレジスト等のマスクパターン8を形成し、厚さ300nmのn型GaAs層2の一部をエッチングしてリセス溝3を形成する。

【0032】次に図1(b)に示すように、n型GaAs2上の全面に厚さ300nmの高抵抗膜(SiN膜)9を、SiH₄とNH₃を原料ガスとして用いた触媒CVD法により堆積する。SiH₄に対するNH₃の流量比は100である。成膜時の基板温度は300°C、触媒体の温度は1300°Cである。

【0033】次に図1(b)に示すように、SiN膜9をフォトレジスト等をマスクとしたエッチングにより加工して開口部4を形成する。

【0034】さらに、図1(c)に示すように、基板の全面にWSi等の金属膜をスパッタ法により成膜し、これをフォトレジスト等をマスクとしたエッチングにより加工してゲート電極5を形成する。

【0035】その後、図1(d)に示すように、SiN膜9の一部をフォトレジスト等をマスクとしたエッチングにより開口し、ソース電極6およびドレイン電極7をリフトオフ法により形成することにより、図1(d)に示すような構造のMESFETを得る。

【0036】本実施例により作成されたMESFETと従来のMESFETにおける通電によるゲートリーク電流の変化を図2に示す。通電試験は、ゲート電極に逆方向バイアスを降伏電圧付近まで印加した状態を保持する方法で行った。図の横軸は試験時間、縦軸はゲートリーク電流である。

【0037】図から明らかなように、本実施例により作成されたMESFETでは、黒丸印のようにゲートリーク電流増大による劣化が完全に抑制されていることがわかる。また、プラズマダメージに起因する電荷トラップに関するドレイン電流の周波数分散(ゲートラグ)も、完全に抑制され、良好な高周波特性が得られた。白丸印は従来のものを示す。

【0038】また、HFS(Hydrogen Forward Scattering)法によりSiN膜9中の水素濃度を測定した結果、本実施例により成膜されたSiN膜9に含まれる水素量は9.8%で、従来のプラズマCVD膜により成膜されたSiN膜20における含有水素量に比べおよそ1/3~1/4以下である。このため、本実施例により作成されたMESFETは、SiN膜9中へ電荷の充放電による耐圧の変動も抑制されている。さらに、本実施例により成膜されたSiN膜9の内部応力は、4×10⁸dyn/cm²程度の圧縮応力であり、本実施例により作成されたMESFETは、膜応力によって生成されたピエゾ電荷によるしきい値電圧

の変動が、従来のMESFETに比べ大幅に低減された。

【0039】以上からして、本実施例により作成されたMESFETは、通電によるゲートリーク電流の増大や、耐圧の変動による劣化や、プラズマダメージに起因するゲートラグや、膜応力によるしきい値電圧の変動といった従来のMESFETに関わる問題のすべてを抑制する上できわめて有効であることがわかる。

【0040】

【実施形態2】次に、本発明の実施形態2を詳細に説明する。本発明の実施形態2においては、実施形態1と同様に半絶縁性GaAs基板1にフォトレジスト等のマスクパターン8を形成し、n型GaAs層2の一部をエッチングしてリセス溝3を形成した後、半導体表面に活性化された水素を含むガスを通過させる表面クリーニング工程を行う。

【0041】表面クリーニング工程は、触媒CVD装置とは別の、または触媒CVD装置と同一の真空系に含まれるリモートプラズマ装置や高温槽などで行っても良いが、よりクリーニング効果を向上させるためには、触媒CVD装置内で行うのが望ましい。これは、クリーニング後に速やかに同一装置内でSiN膜9の堆積を行うことにより、GaAs基板1の表面酸化が完全に抑制されるからである。

【0042】表面クリーニング工程時の基板温度や触媒体の温度の設定範囲は、それぞれSiN膜9の堆積時と同じであるが、表面クリーニング後に速やかにSiN膜9の堆積を行うためには、クリーニング工程時とSiN膜堆積時の基板温度や触媒体の温度は、同一に設定するのがよい。また、クリーニング時間は数秒以上あれば効果があるが、完全に半導体表面のクリーニングを行うためには、5分程度行うのがよい。

【0043】以上のようにして表面クリーニングを行った後に、本発明の実施形態1と同様の方法でMESFETを作成する。

【0044】(実施例2) 次に、本発明の実施形態2の一実施例について詳細に説明する。本発明の実施形態2の一実施例においては、実施形態1と同様に半絶縁性GaAs基板1にフォトレジスト等のマスクパターン8を形成し、厚さ300nmのn型GaAs層2の一部をエッチングしてリセス溝3を形成した後、触媒CVD装置に基板1を導入し、半導体表面に活性化されたNH₃を通過させる表面クリーニング工程とSiN膜9の堆積を行なう。表面クリーニング工程時の基板温度は300°C、触媒体の温度は1300°Cである。この状態を5分程度保持した後に、NH₃の流量を変えずにNH₃の1/100程度の流量のSiH₄を添加することによりSiN膜9の成膜が開始される。

【0045】SiN膜9の成膜開始後は、本発明の実施形態1の実施例と同様の方法によりMESFETを完成

させる。SiN膜9の成膜前に、上述したような表面クリーニング工程を付加することにより、SiN膜9の成膜前にGaAs層2の表面にわずかに残留する自然酸化膜や表面に吸着している炭素やイオウ等の不純物が完全に除去され、清浄なSiN/GaAs界面が得られる。

【0046】このため、本発明の実施形態2では、実施形態1により得られるFETよりもさらに通電に伴うGaAs層2の表面酸化に関連したドレイン電流の減少や、ゲートリーク電流の増大が抑制される。また、炭素やイオウなどの汚染物質に起因するゲートラグ等の問題も抑制されるという効果がある。

【0047】

【実施形態3】次に、本発明の実施形態3について図面を参照して説明する。図3は、本発明を用いたヘテロ接合型バイポーラトランジスタ(HBT)の素子主要部の製造方法を工程順に示す断面図である。

【0048】図3(a)において、11は半絶縁性GaAs基板、12がn型GaAsコレクタ層、13はp型GaAsベース層である。まず、図3(a)に示すように、フォトグラフィー技術とエッチングによりエミッタ電極15とエミッタメサ(n型AlGaAs層)14をP型GaAsベース層13上に形成する。次に、実施形態1及び2と同様の方法を用いて基板の全面にSiN膜を成膜する。

【0049】その後、図3(b)に示すように、異方性エッチングによりSiN膜をエッチングして、n型AlGaAsエミッタ層14及びエミッタ電極15の側面にSiN側壁16を形成する。SiN側壁16の厚さは、成膜されたSiN膜の膜厚により決まり、50nm以上あればエミッタとベース電極が電気的に短絡することを防止することができるが、200nm程度が適当である。SiN膜の成膜厚さと、異方性エッチングにて形成されるSiN側壁の厚さとの関係は、SiN膜の成膜の段差被覆性と、SiN側壁の形成に用いるエッチングの異方性の程度により決まるが、通常用いられる、CF₄等をエッチングガスに用いたアクリティブイオンエッチング(RIE)を使用する場合、SiN側壁16の厚さを200nm程度とするためには、SiN膜の堆積厚さは300nm程度が適当である。

【0050】その後、図3(c)に示すように、基板全面にベース電極の金属を蒸着またはスパッタ法により成膜し、反応性ドライエッチングやイオンミリング法により加工することにより、ベース電極18を形成して素子主要部を完成させる。

【0051】(実施例3)次に、本発明の実施形態3の一実施例について詳細に説明する。まず、図3(a)に示すように、半絶縁性GaAs基板11上にn型GaAsコレクタ層12、p型GaAsベース層13、n型AlGaAsエミッタ層14からなる積層結晶構造を形成し、基板全面に厚さ250nm程度のタンゲステンシリ

サイド(WSi)膜を成膜する。次にフォトグラフィー技術とエッチングによりWSiとn型AlGaAsの一部をエッチングして、図3(a)に示すようにエミッタ電極15とn型AlGaAsエミッタ層(エミッタメサ)14を形成する。

【0052】実施形態1、2と同様の方法を用いて基板全面に厚さ300nm程度のSiN膜を成膜する。その後、CF₄ガスを用いた反応性ドライエッチングにより図3(b)に示すように厚さ200nm程度のSiN側壁16を形成する。その後、基板全面にTiとPtとAuの積層構造からなるベース電極の金属を電子線加熱蒸着法により成膜し、イオンミリング法により加工することにより、図3(c)に示すようにベース電極18を形成して素子主要部を完成させる。

【0053】本実施例では、エミッタ・ベース間の電気的短絡を防ぐためのSiN側壁16を、触媒CVD法を用いて成膜したSiN膜により形成しているため、SiN側壁16とp型GaAsベース層13が接触している外部ベース表面部分17の界面に存在する界面準位が、SiO₂により側壁を形成した従来のHBTに比べて減少している。

【0054】このため、外部ベース表面部分17における表面再結合電流が大幅に減少し、エミッタサイズ効果を抑制することができる。なお、上記のような効果は、本実施例で述べたAlGaAs/GaAs HBTのみにとどまらず、InGaP/GaAsなど他の材料系を用いたHBTや、ベース層やエミッタ層の組成が連続的に変化したグレーデッド構造を含む結晶構造のHBTでも全く同様に得られる。

【0055】

【発明の効果】以上説明したように本発明によれば、化合物半導体装置において従来プラズマCVD法により成膜していたSiN表面保護膜を、触媒CVD法により成膜することにより、成膜時における半導体表面へのダメージを低減でき、ゲートラグや通電時のゲートリーク電流の増大を抑制することができる。

【0056】また、本発明の製造方法により成膜されたSiN保護膜は、膜中の水素濃度が従来のプラズマCVD膜の1/3以下に低減されているため、通電時に膜中の電荷トラップが充放電するために起こる耐圧の変動を大幅に抑制することができる。

【0057】さらに、本発明の製造方法により成膜されたSiN保護膜は、従来のプラズマCVD膜に比べて膜の内部応力が1/10程度に低減されているため、短gate-FETにおけるしきい値電圧の変動を抑制することができる。

【0058】また、本発明の製造方法により作成されたHBTは、側壁をSiO₂で形成している従来のHBTに比べて外部ベース表面に存在する再結合中心が減少しているため、再結合電流が減少しており、エミッタサイ

ズ効果を抑制できる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係るMESFETの製造方法を工程順に示す断面図である。

【図2】本発明の実施形態1に係る半導体装置の製造方法により作成されたMESFETと、従来のMESFETとの通電に伴うゲートリーク電流の変化を示す図である。

【図3】本発明の実施形態3に係るHBTの製造方法を工程順に示す断面図である。

【図4】従来例に係るMESFETの製造方法を工程順に示す断面図である。

【図5】従来のMESFETにおいて、通電と共にゲートリーク電流が増大した状態を説明するための断面図である。

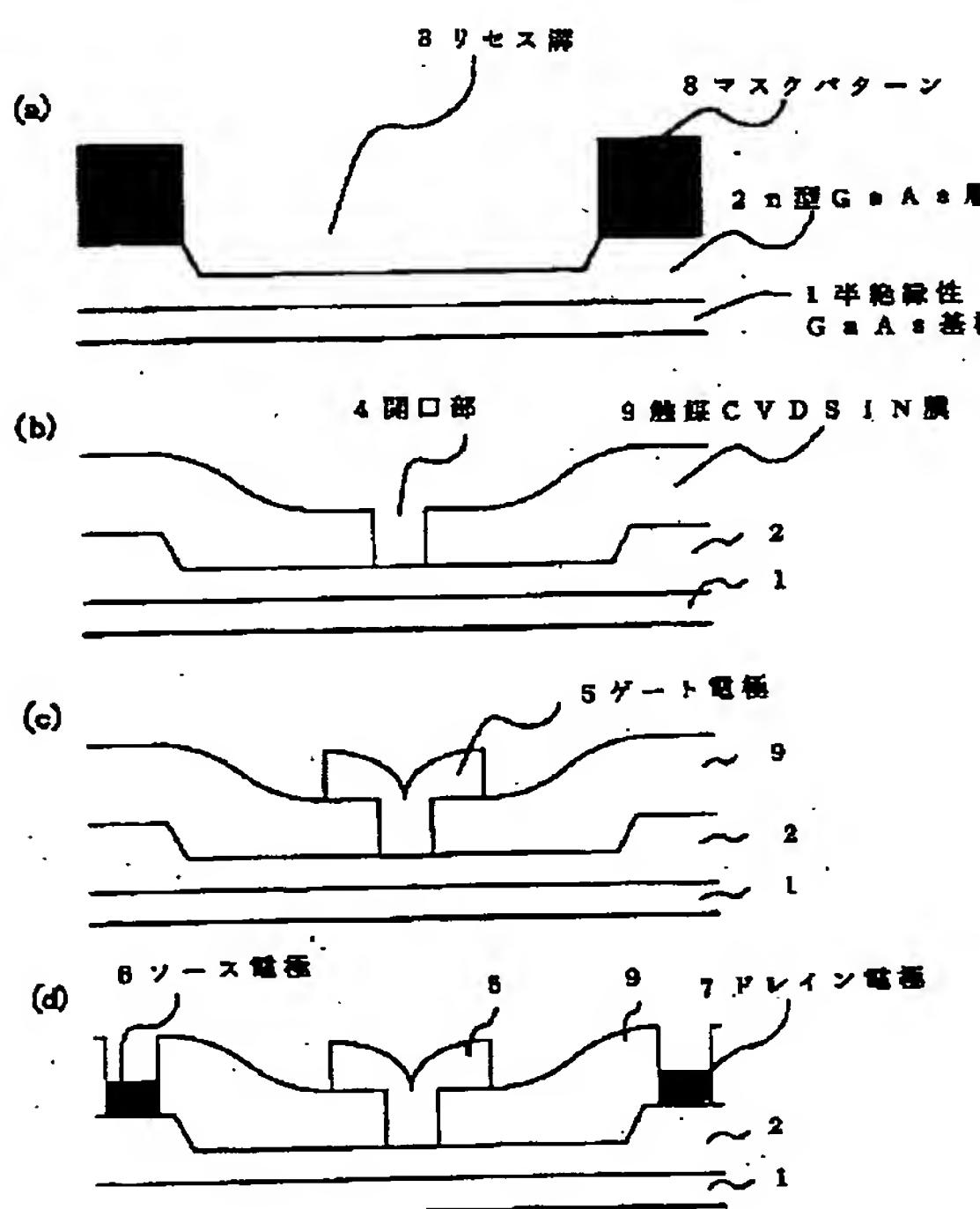
【符号の説明】

1 半絶縁性GaAs基板

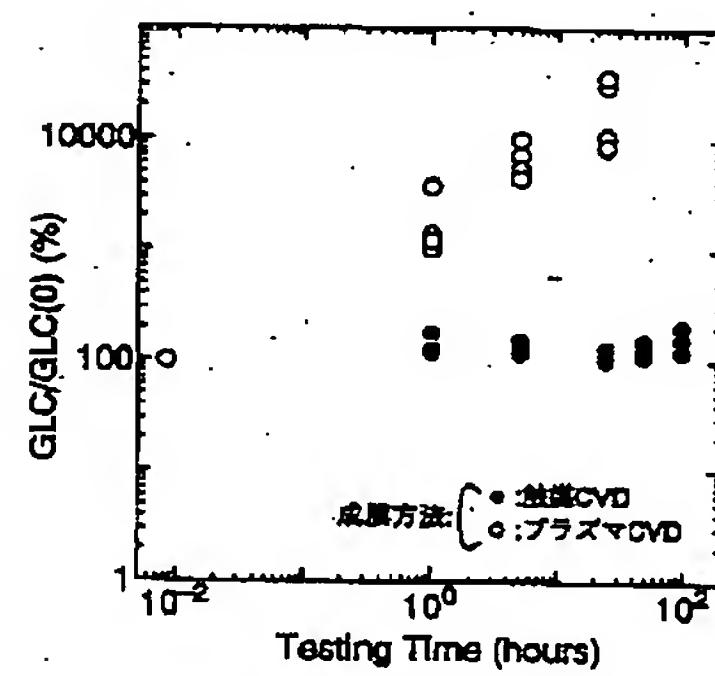
2 n型GaAs層

- 3 リセス溝
- 4 開口部
- 5 ゲート電極
- 6 ソース電極
- 7 ドレイン電極
- 8 マスクパターン
- 9 触媒CVD法により成膜されたSiN膜
- 10 低抵抗領域
- 11 半絶縁性GaAs基板
- 12 n型GaAsコレクタ層
- 13 p型GaAsベース層
- 14 n型AlGaAsエミッタ層
- 15 エミッタ電極
- 16 SiN側壁
- 17 外部ベース表面部分
- 18 ベース電極
- 20 プラズマCVD法により成膜されたSiN膜

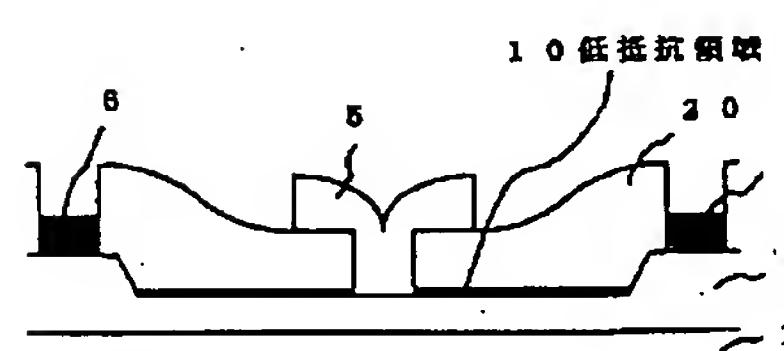
【図1】



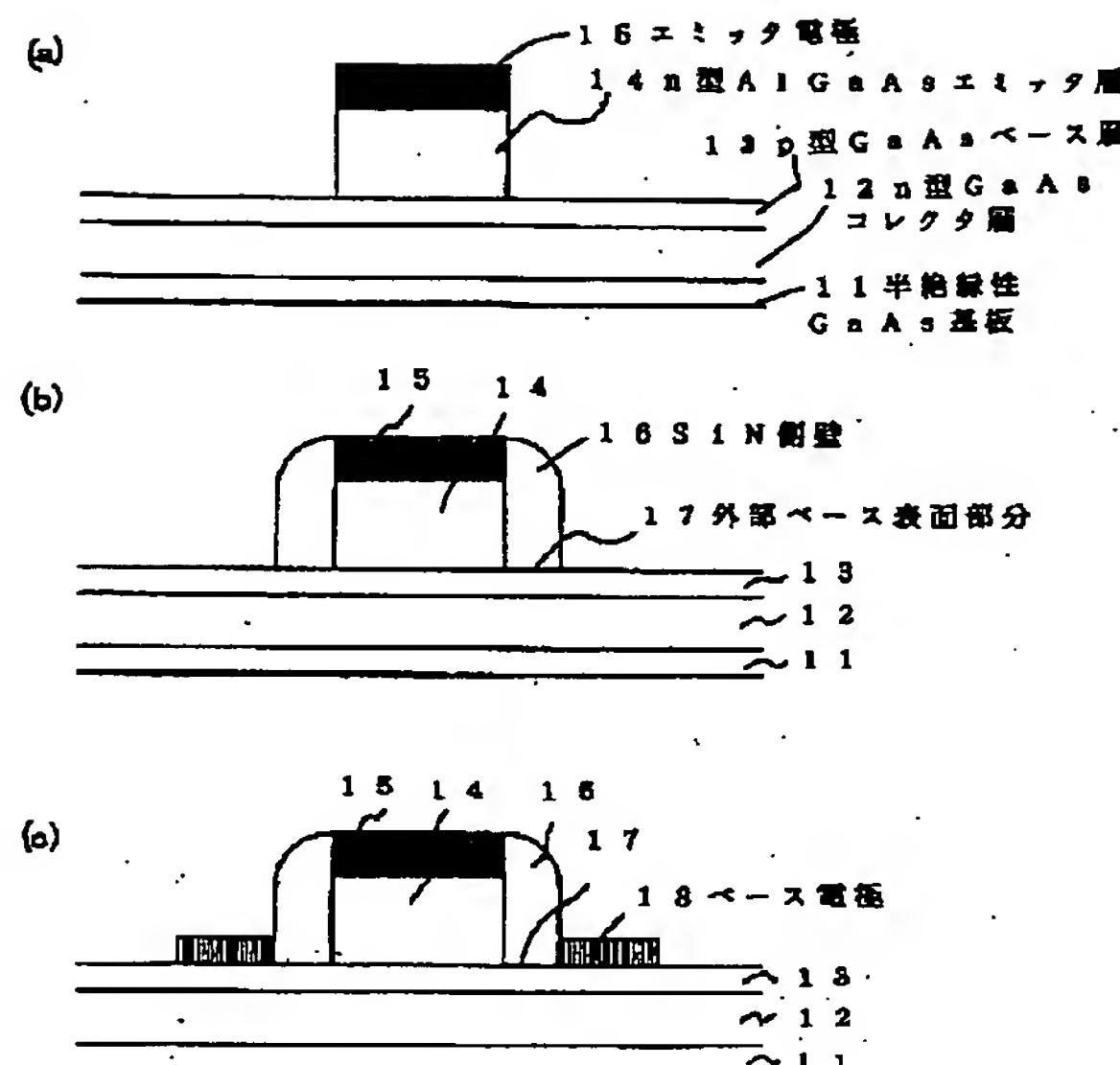
【図2】



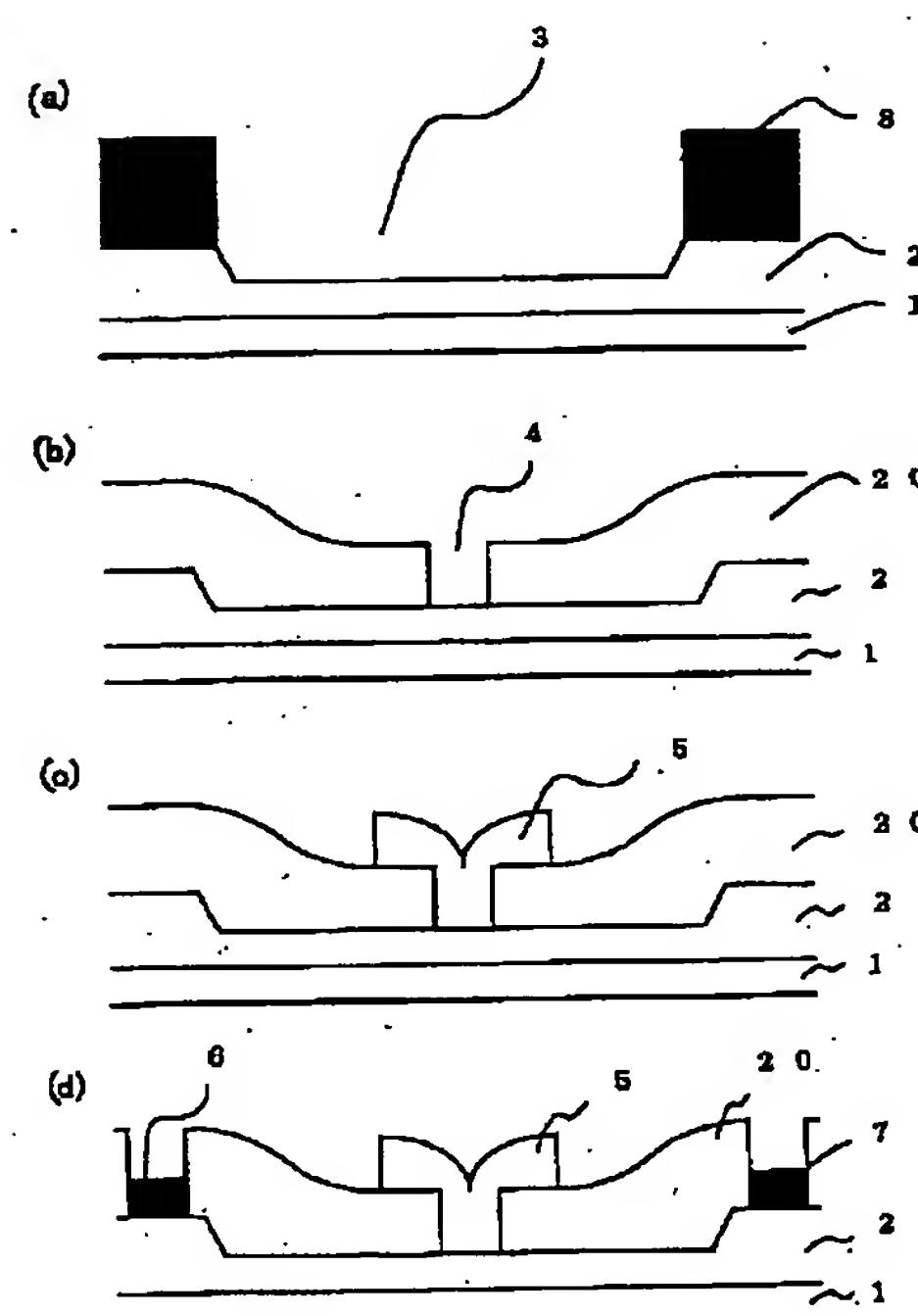
【図5】



【図3】



【図4】



フロントページの続き

(51) Int.Cl.⁶

H01L 21/338
29/812

識別記号

F I